

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-101397
 (43)Date of publication of application : 04.04.2003

(51)Int.CI. H03K 19/00
 H01L 21/82
 H01L 21/822
 H01L 27/04
 H03K 17/00

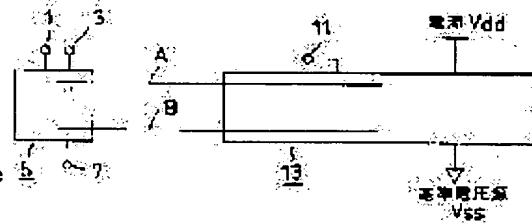
(21)Application number : 2001-290728 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 25.09.2001 (72)Inventor : SETA KATSUHIRO

(54) SEMICONDUCTOR CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor cell which has a single logic circuit and a switch unit corresponding to the logic circuit in such a manner that the logic circuit and the switch unit are separately disposed.

SOLUTION: The semiconductor cell comprises a NAND circuit 5 having a combination of MOS transistors each having a low threshold voltage, and the switch unit 13 having a combination of MOS transistors each having a high threshold voltage and interposed between the NAND circuit 5 and a power source Vdd line, a reference power source Vss line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-101397

(P2003-101397A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl.⁷
H 03 K 19/00
H 01 L 21/82
21/822
27/04
H 03 K 17/00

識別記号

F I
H 03 K 19/00
17/00
H 01 L 27/04
21/82

テ-マコ-ト⁸(参考)
C 5 F 0 3 8
E 5 F 0 6 4
A 5 J 0 5 5
D 5 J 0 5 6

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願2001-290728(P2001-290728)

(71)出願人 000003078

(22)出願日 平成13年9月25日(2001.9.25)

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 濑田 克弘

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100081732

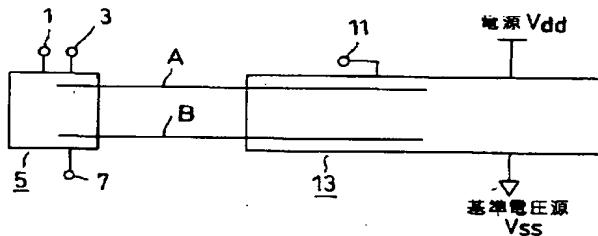
弁理士 大胡 典夫 (外2名)

(54)【発明の名称】 半導体セル

(57)【要約】

【課題】 単一の論理回路とこれに対応するスイッチ部を具備し、更に単一の論理回路とスイッチ部を分離配置する半導体セルを提供する。

【解決手段】 閾値電圧の低いMOSトランジスタの組み合わせで構成したNAND回路5と、NAND回路5と電源Vdd線および基準電源Vss線の間に介在する閾値電圧の高いMOSトランジスタの組み合わせで構成したスイッチ部1-3を分離して配置する。



【特許請求の範囲】

【請求項1】 閾値電圧の低いMOSトランジスタの組み合わせで構成された单一の論理回路と、
第1の基準電圧源線と前記論理回路間および第2の基準電圧源線と前記論理回路間に介在し、閾値電圧の高いMOSトランジスタの組み合わせで構成されるスイッチ部と、を具備し、
前記論理回路と前記スイッチ部を分離配置し、前記論理回路が動作時は、前記スイッチ部はオンされ、前記論理回路がスタンバイ時は、前記スイッチ部はオフされるよう制御されることを特徴とする半導体セル。
10

【請求項2】 前記スイッチ部が並列接続された複数のスイッチ部からなり、その複数の前記スイッチ部も分離配置することを特徴とする請求項1に記載の半導体セル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数のMOSトランジスタを組み合わせて構成される半導体セルに関する。
20

【0002】

【従来の技術】 CMOS論理回路の高速化を図るために、閾値電圧の低いトランジスタで回路を構成する必要がある。ところが、トランジスタの閾値電圧が低くなるほど、スタンバイ時のリーク電流が増大するという問題がある。この問題を回避するために、回路の高速動作とスタンバイ時の低リーク電流を同時に達成できるMT (Multiple Threshold voltage) - CMOS回路が提案されている。

【0003】 図7は、MT-CMOS回路の従来の構成を示す図である。図7の回路は、仮想電源VDD1と仮想接地線VSS1との間に接続される閾値電圧の低い複数のトランジスタで構成されたLow-Vth論理回路101と論理回路103等と、仮想電源線VDD1と電源線VDDとの間に接続された閾値の高いMOSトランジスタM101と、仮想接地線VSS1と接地線VSSとの間に接続された閾値の高いMOSトランジスタM103とを備えている。
30

【0004】 動作時(アクティブ時)には、図7のMOSトランジスタM101、M103がいずれもオンし、例えばLow-Vth論理回路101および論理回路103に電源電圧が供給される。Low-Vth論理回路101は閾値電圧の低いトランジスタで構成されているため、高速に動作する。
40

【0005】 一方、スタンバイ時(待ち受け時)には、図7中信号Eと、この信号Eと反転特性を有する信号Eaにより、MOSトランジスタM101、M103がいずれもオフし、電源線から接地線にいたるリークパスが遮断され、リーク電流が少なくなる。

【0006】

【発明が解決しようとする課題】 しかしながら、図7中のA点とB点の電位変動は、仮想電源線と仮想接地線につながる論理回路の内、どの論理回路が同時に動作するか決められないため、特定できず各論理回路の特性が決まらないという問題が有った。

【0007】 そこで本発明は、单一の論理回路とこれに對応するスイッチ部を具備し、更に单一の論理回路とこれに對応するスイッチ部を分離配置する半導体セルを提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明の半導体セルは、閾値電圧の低いMOSトランジスタの組み合わせで構成された单一の論理回路と、第1の基準電圧源線と前記論理回路間および第2の基準電圧源線と前記論理回路間に介在し、閾値電圧の高いMOSトランジスタの組み合わせで構成されるスイッチ部と、を具備し、前記論理回路と前記スイッチ部を分離配置し、前記論理回路が動作時は、前記スイッチ部はオンされ、前記論理回路がスタンバイ時は、前記スイッチ部はオフされるよう制御されることを特徴とする。

【0009】

【発明の実施の形態】 まず初めに、本発明では、单一の論理回路毎に、それぞれ対応するスイッチ部を持つ。こうすることで、その单一の論理回路とその单一の論理回路に對応するスイッチ部との接続点の電位変動が一意に決まるため、その单一の論理回路の特性を判定できる。

【0010】 更に、後述する如く、各单一の論理回路とそれに対応するスイッチ部を分離配置する。

【0011】 (第1の実施例) 図1に、本発明の半導体セルの第1の実施例の構成を示す。单一の論理回路5は、2入力NAND回路の例である。以下、構成を説明する。

【0012】 NAND回路5は、閾値電圧が低いPチャネルMOSトランジスタM1、M2とNチャネルMOSトランジスタM3、M4の組み合わせで構成される。

【0013】 トランジスタM1のゲートは、入力端1に接続され、これのソースは、トランジスタM2のソースに接続され、これのドレインは、トランジスタM2のドレインに接続されている。トランジスタM2のゲートは、入力端3に接続され、これのドレインは、出力端7に接続されている。

【0014】 トランジスタM3のゲートは、入力端3に接続され、これのドレインは、出力端7に接続され、これのソースは、トランジスタM4のドレインに接続されている。トランジスタM4のゲートは、入力端1に接続されている。

【0015】 スイッチ部13は、閾値電圧の高いPチャネルMOSトランジスタM5とNチャネルMOSトランジスタM6と、インバータ9からなる。

【0016】トランジスタM5のソースは、第1の基準電圧源（本実施例では、電源Vdd）線に接続され、このゲートは、インバータ9の出力端に接続され、このドレインは、トランジスタM1のソースに接続されている。トランジスタM5のドレインとトランジスタM1のソースの接続点をAとする。

【0017】トランジスタM6のソースは、第2の基準電圧源（本実施例では、基準電圧源Vss）線に接続され、このゲートは、コントロール信号入力端11とインバータ9の入力端に接続され、このドレインは、トランジスタM4のソースに接続されている。トランジスタM6のドレインとトランジスタM4のソースの接続点をBとする。

【0018】なお、インバータ9を省略して、トランジスタM5とM6に極性の異なるコントロール信号が供給される構成でもよい。

【0019】NAND回路5が動作時（アクティブ時）、コントロール信号入力端11にハイの信号が供給され、トランジスタM5とM6はオンとなる。NAND回路部分5がスタンバイ時（待ち受け時）、コントロール信号入力端11にローの信号が供給され、トランジスタM5とM6はオフとなる。

【0020】NAND回路5は、閾値電圧の低いトランジスタM1～M4で構成されているため、動作時は、高速動作が可能である。そして、スタンバイ時、A点～B点間に大きなリーク電流が流れおそれがある。しかしながらトランジスタM5とM6は閾値電圧が高いため、トランジスタM5とM6のオフ時のリーク電流は小さいので、スタンバイ時にコントロール信号入力端11にローの信号を供給し、トランジスタM5とM6をオフすることで、A点～B点間に流れるリーク電流の量は制限される。

【0021】このため、NAND回路5のスタンバイ時の消費電力は、小さくなる。

【0022】ここで注意すべきは、スイッチ部13を構成する閾値電圧の高いMOSトランジスタM5とM6は、一般的にオン時、閾値電圧の低いMOSトランジスタに比べ、単位ゲート幅あたりに流れる電流は少ない。このためNAND回路5が動作時、NAND回路5を構成するトランジスタM1～M4に十分な電流を流すことを可能にするため、各トランジスタM5、M6のゲート幅は、少なくとも各トランジスタM1、M2、M3、M4のゲート幅より十分に大きくする必要がある。従って従来のNAND回路セルの場合と比べて、本実施例の半導体セルのサイズは、トランジスタM5、M6のサイズに依存して3～5倍と大きくなってしまう。

【0023】なおトランジスタM5とM6は、オフ時、A点～B点間に流れるリーク電流の量を制限するという効果を持っていることは変わらない。

【0024】本実施例の半導体セルを、半導体集積回路

4
装置の従来のNAND回路セルの位置に置き換える場合、本実施例の半導体セルが、他のセルとオーバーラップすることになる。

【0025】そこでオーバーラップするセルを、ほかの位置に移動させるか、本発明の半導体セルを、オーバーラップしない位置に配置する必要が生じる。これは、信号線を長くすることとなり、信号伝送の遅延を生じてしまい、本発明の半導体セルのNAND動作の高速化という効果が生かしきれなくなる。

【0026】そこで、本実施例の半導体セルを、図2に示す如く、NAND回路5とスイッチ部13を分離することにする。これより、NAND回路5とスイッチ部13を接続する接続線が長くなるが、接続線の両端は同電位のため、NAND回路5のNAND動作に遅延を生じることがない。

【0027】従って、本実施例の半導体セルを半導体装置に配置するに際して、図3に示す如く、NAND回路5を本来の置き換え場所に配置し、スイッチ部13のみを空きスペースに配置することが可能となる。これにより、信号伝送の遅延増加につながる信号線の延びを生じることなく、半導体セルは、高速にNANDの動作をする。

【0028】（第2の実施例）図4に、本発明の半導体セルの第2の実施例の構成を示す。第1の実施例との違いは、スイッチ部の構成である。本実施例では、並列接続された2個のスイッチ部13a、13bを備えている。

【0029】スイッチ部13aは、閾値電圧が高いPチャネルMOSトランジスタM5、M7と、閾値電圧が高いNチャネルMOSトランジスタM6、M8と、インバータ9aとからなる。

【0030】トランジスタM5のソースは、第1の基準電圧源（本実施例では、電源Vdd）線に接続され、このゲートは、インバータ9aの出力端に接続され、このドレインは、A点に接続されている。トランジスタM7のソースは、電源線に接続され、このゲートは、インバータ9aの出力端に接続され、このドレインは、A点に接続されている。

【0031】トランジスタM6のソースは、第2の基準電圧源（本実施例では、基準電圧源Vss）線に接続され、このゲートは、コントロール信号入力端11とインバータ9aの入力端に接続され、このドレインは、B点に接続されている。トランジスタM8のソースは、基準電圧源線に接続され、このゲートは、コントロール信号入力端11とインバータ9aの入力端に接続され、このドレインは、B点に接続されている。

【0032】スイッチ部13bは、閾値電圧が高いPチャネルMOSトランジスタM9、M11と、閾値電圧が高いNチャネルMOSトランジスタM10、M12と、インバータ9bとからなる。

【0033】トランジスタM9のソースは、電源線に接続され、このゲートは、インバータ9bの出力端に接続され、このドレインは、A点に接続されている。トランジスタM11のソースは、電源線に接続され、このゲートは、インバータ9bの出力端に接続され、このドレインは、A点に接続されている。

【0034】トランジスタM10のソースは、基準電圧源線に接続され、このゲートは、コントロール信号入力端11とインバータ9bの入力端に接続され、このドレインは、B点に接続されている。トランジスタM12のソースは、基準電圧源線に接続され、このゲートは、コントロール信号入力端11とインバータ9bの入力端に接続され、このドレインは、B点に接続されている。

【0035】また、コントロール信号は、ハイのときがアクティブで、ローのときがスタンバイとなる回路で説明したが、インバータ9aと9bの入れ方を替えることで、ローのときがスタンバイ、ハイのときがアクティブとすることももちろん可能である。

【0036】なおインバータ9a、9bを省略し、トランジスタM5、M7、M9、M11とトランジスタM6、M8、M10、M12に対し、極性の異なるコントロール信号が供給される構成でもよい。

【0037】第1の実施例に対する本実施例の効果は、各トランジスタM5～M12のサイズを小さくでき、スイッチ部13aと13bのそれぞれのサイズを小さくできる。更にNAND回路5の動作時、NAND回路5に充分な電流を流せる。

【0038】なおトランジスタM5～M12は、オフ時A点～B点間に流れるリーク電流の量を制限する効果を持つているのは変わらない。

【0039】本実施例の半導体セルは、図5に示すように、NAND回路5とスイッチ部を分離するだけでなく、スイッチ部13aと13bも分離する。スイッチ部13aと13bは、並行に接続されているので、各スイッチ部13a、13bとNAND回路5を接続する接続線は長くなるが、各接続線の両端は同電位であるため、NAND回路5のNAND動作に遅延を生じることがない。

【0040】本実施例の半導体セルを半導体装置に配置するに際して、図6に示す如く、NAND回路5を本来

の置き換え場所に配置し、スイッチ部13a、13bを空きスペースに配置することになる。このとき、スイッチ部13aと13bのサイズは、第1の実施例のスイッチ部13に比べて小さいので、信号伝送の遅延を生じることなく、スイッチ部13aと13bの配置場所の選択度が大きくなる。

【0041】以上、NAND回路の例を説明したが、これに限定するものでなく、ゲート回路、AND回路、OR回路、フリップフロップ等単一論理回路であればよい。

【0042】尚、スイッチ部を、13a、13bの2つに分割した場合の説明を行ったが、この分割は2つに限られるものでなく、同様な回路構成をとれば、3つ以上に分割することができる。

【0043】

【発明の効果】本発明の半導体セルによれば、単一の論理回路とこの単一の論理回路に対応するスイッチ部との接続点の電位変動が一意に決まるため、この単一の論理回路の特性が判定できる。

【0044】更に本発明の半導体セルによれば、信号伝送を防止するとともに、リーク電流を小さくして、単一の論理回路とこれに対応するスイッチ部を分離配置できるので、チップのレイアウトの自由度が増す。

【図面の簡単な説明】

【図1】本発明の半導体セルの第1の実施例の構成を示す回路図である。

【図2】図1の半導体セルのパターン図である。

【図3】図1の半導体セルを配置した半導体集積回路装置のパターン図である。

【図4】本発明の半導体セルの第2の実施例の構成を示す図である。

【図5】図4の半導体セルのパターン図である。

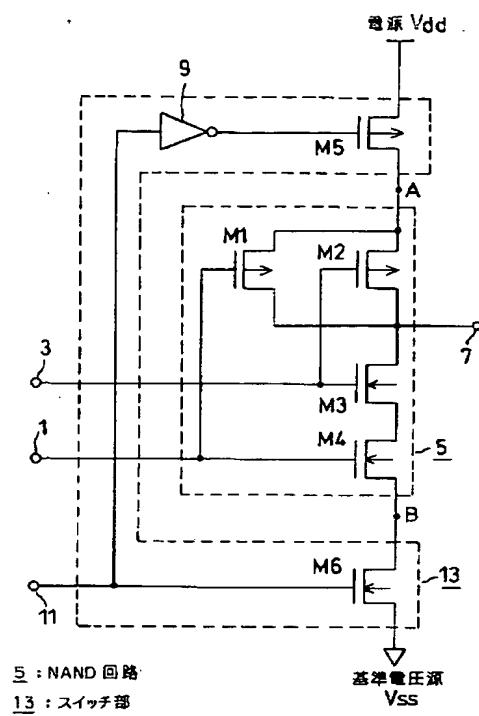
【図6】図4の半導体セルを配置した半導体集積回路装置のパターン図である。

【図7】MT-CMOS回路の従来の構成を示す図である。

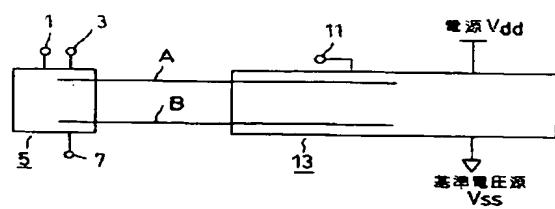
【符号の説明】

1、3···入力端、5···NAND回路、7···出力端、9、9a、9b···インバータ、13、13a、13b···スイッチ部、M1～M12···MOSトランジスタ。

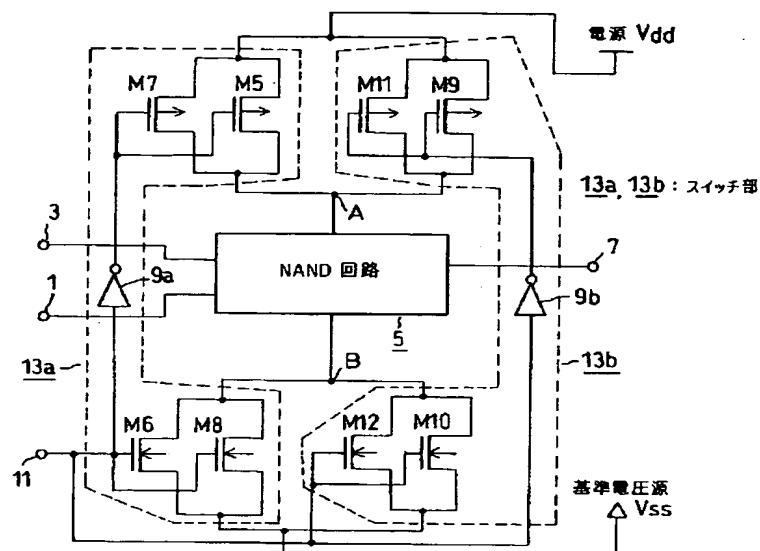
【図1】



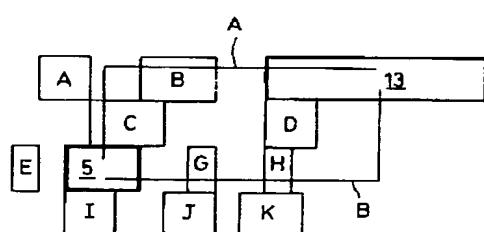
【図2】



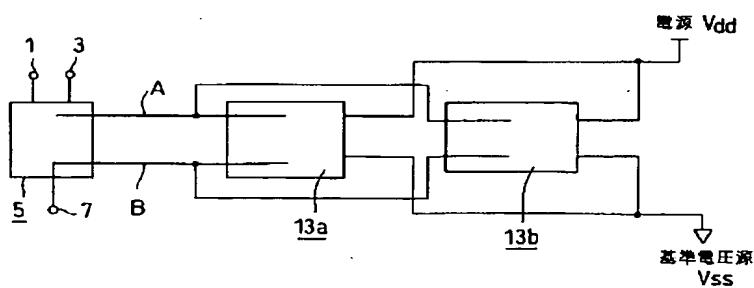
【図4】



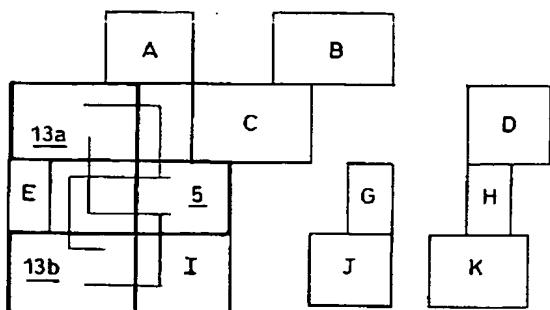
【図3】



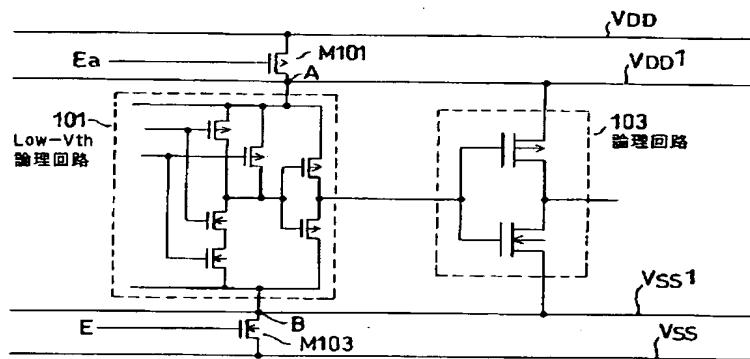
【図5】



【図6】



【図7】



フロントページの続き

F ターム (参考) 5F038 CA07 CD02 CD03 CD16 DF01
 EZ20
 5F064 BB03 BB04 BB05 BB07 BB19
 BB37 CC12 DD24 EE52
 5J055 AX40 AX42 BX02 CX27 DX22
 DX56 DX73 EX07 EY21 EZ25
 GX01 GX02 GX06
 5J056 AA03 BB59 BB60 DD13 EE00
 FF07 GG13 KK02